

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H01L 21/768(11) 공개번호 특1998-084723  
(43) 공개일자 1998년12월05일(21) 출원번호 특1997-020581  
(22) 출원일자 1997년05월24일(71) 출원인 현대전자산업 주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 조경수  
경기도 이천시 창전동 산 1-1 현대 아파트 201동 306호  
(74) 대리인 최홍순  
심사청구: 있음

## (54) 반도체 소자의 다층 금속배선 및 그 형성방법

## 요약

본 발명은 반도체 소자의 금속배선 사이에 EM(Electromigration)에 대한 내구성이 우수한 금속을 적층하고, 종래의 기술에서 통상적으로 실시되는 금속배선에 대한 별도의 열처리(annealing)를 생략하여 고집적화된 반도체 소자의 EM에 대한 내구성을 향상시키고, 나아가 반도체 소자의 특성 및 신뢰도를 향상시키는 반도체 소자의 적층구조의 금속배선 및 그 형성방법에 관한다.

본 발명에 의한 적층구조의 금속배선 형성방법은 금속이 매립된 콘택홀을 구비하는 반도체 기판을 제공하는 단계, 진공상태에서 상기 반도체 기판상에 소정의 금속을 제 1 층에 적층하고, 제 1 금속보다 EM에 대한 내구성이 우수한 소정의 금속을 제 2 층에 적층하고, 마지막으로 제 1 금속과 동일한 금속인 금속을 제 3 층에 형성하는 단계, 상기 기판상에 통상적인 포토마스크와 식각공정을 실시하여 금속배선을 형성하는 단계, 상기 금속배선의 플로우특성 향상을 위한 통상적인 열처리 공정을 생략하는 단계, 상기 기판상에 절연막을 형성하는 단계를 포함한다.

## 대표도

도1a

## 명세서

## 도면의 간단한 설명

도 1A 내지 도 1C는 본 발명의 실시예에 따른 반도체 소자의 적층구조의 금속배선 형성방법을 설명하기 위한 단면도.

## \* 도면의 주요 부분에 대한 부호의 설명 \*

- 1 : 반도체 기판 2 : 전도층
- 3 : 산화막 4 : 티타늄
- 5 : 리플렉토리 금속막 6 : 금속막
- 7 : 티타늄 8, 10 : 알루미늄 합금
- 9, 19 : 구리 11 : 반사방지막
- 12 : 감광막 13 : 산화막
- 14 : 티타늄 15 : 리플렉토리 금속막

16 : 금속막 17 : 티타늄

18, 20 : 알루미늄 합금 21 : 반사방지막

100 : 콘택홀 200 : 비아홀

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 보다 상세하게는 전자이동(Electromigration) 특성을 향상시킬 수 있는 다층금속배선 및 그 형성방법에 관한 것이다.

반도체 소자의 금속배선으로서 통상적으로 알루미늄이 사용되는데, 이는 알루미늄의 저항( $2.7 \mu\Omega\text{-cm}$ )이 낮고, 산화 실리콘 및 실리콘에 대한 좋은 접착력을 보유하고 있기 때문이다. 또한 알루미늄의 배선 접합기술이 용이하게 실시되는바, 다층금속배선 구조에서 최상부층으로 많이 사용되고 있다.

또한 통상적으로 알루미늄 금속배선의 플로우 특성을 좋게 하기 위하여 튜브 형로에서 열처리 공정(annealing)을 수행한다.

상기와 같은 알루미늄 또는 알루미늄 합금으로 형성된 금속배선은 비교적 낮은 공정온도(약  $300^\circ\text{C}$  이상)에서 하부에 있는 실리콘 기판보다 빠른 비율로 팽창하게 된다. 실리콘과의 흡착력이 매우 우수한 알루미늄은 하부에 있는 실리콘의 낮은 팽창으로 결국에는 표면에 울퉁불퉁한 힐락을 형성시킨다.

힐락은 다층구조 소자에서 특히 문제시 된다. 힐락이 형성된 금속배선 상부에 다시 금속배선을 형성시키기 위해 절연막과 포토리지스트가 형성된 경우, 식각공정에서 힐락이 형성된 부위에는 절연막이 얇게 남게 된다. 더욱 심한 경우에는 상술한 부위에 절연막이 완전히 식각되어 상·하부의 금속배선이 단락되는 결과를 초래한다. 이러한 힐락의 형성은 EM(Electromigration)에 대한 내구성을 저하시키는 요인이 된다.

여기서 EM이란, 알루미늄과 같은 금속배선(알루미늄 등)에 전류가 흐름에 따라 전도체의 이온이 이동하는 것을 의미하는데, 이러한 이온의 이동은 금속배선에 동공(void)를 만들고 궁극적으로는 금속배선이 끊어지는 현상을 초래한다.

상기와 같은 문제점에 대한 해결책으로서 알루미늄배선에 구리(0.5~4%), 또는 티타늄(0.1~0.5%), 또는 팔라듐 등이 추가된 합금으로 금속배선을 형성하는 방법이 제시되어왔다. 그러나 상기와 같은 방법은 EM에 대한 내구성을 어느정도 향상시킬 수 있지만, 알루미늄의 하나 또는 그 이상의 특성(저저항성, 부식에 대한 내구성, 애치(etch)용이성, 접착용이성 등)의 희생을 감수해야하는 문제가 있다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명은 상술한 문제점을 감안하여 창출된 것으로서, 구리막을 알루미늄 배선사이에 형성시키고, 금속배선에 대한 열처리 공정(annealing)을 생략함으로써 EM에 대한 내구성을 향상시킬 수 있는 반도체 소자의 다층 금속배선 및 그의 제조방법을 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 반도체 소자의 고집적화에 따른 금속배선의 선포의 감소에도 EM에 대한 내구성을 향상시킬 수 있는 반도체 소자의 금속배선 및 그 형성방법을 제공하는 것을 목적으로 하고 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명은 금속이 매립된 콘택홀을 구비하는 반도체 기판을 제공하는 단계; 진공 상태에서 상기 반도체 기판상에 제 1 금속, 제 1 금속보다 EM에 대한 내구성이 우수한 제 2 금속, 마지막으로 제 3 금속을 순차 적층형성하는 단계, 상기 기판상에 포토마스킹과 식각공정을 실시하여 금속배선을 형성하는 단계; 상기 금속배선의 플로우특성 향상을 위한 통상적인 열처리 공정을 생략하는 단계, 상기 기판상에 절연막을 형성하는 단계를 포함한다.

## [실시예]

이하, 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

도1A 내지 도1C는 본 발명의 실시예에 따른 반도체 소자의 다층 금속배선 공정도를 도시한 것이다.

우선 통상의 방법으로 도 1A에 도시된 바와 같이 상부에 전도층(2)이 형성된 반도체 기판(1)상부에 산화막(3)과 같은 절연막을 형성하고, 산화막(3)의 소정의 부위를 식각하여 콘택홀(100)을 형성한다.

그후 콘택홀(100)에 배리어막으로서 티타늄막(4) 및 확산방지막으로 티타늄나이트라이드(5) 그리고 알루미늄 합금막과 같은 금속(6)을 증착한 다음 전면식각하여 콘택홀(100)내에만 매립한다.

다음으로, 도 1B에 도시된 바와 같이, 금속 배리어막으로서 티타늄막(7)을 200 Å 내지 1000 Å 사이의 두께로 증착한 후, 제1 알루미늄 합금(8), 구리막(9), 제2 알루미늄 합금(10)을 순차 적층한다. 여기서, 제 1 및 제 2 알루미늄 합금(8,10)은 2000 Å 내지 10000 Å 사이의 두께로 증착하고, 반사방지막(11)은 200 Å 내지 1000 Å의 두께로 증착한다. 제1 구리막(9)은 상기 제1 및 제2 알루미늄 합금(8,10)보다 상대적으로 얇게 형성한다.

상기 티타늄막(7)을 형성하지 않고 바로 하부금속배선용 제1 알루미늄 합금(8)을 형성할 수 있으며, 도면에는 도시하지 않았지만, 상술한 티타늄막(7)의 증착후 확산방지막으로서 티타늄 나이트라이드, 텅스텐 나이트라이드, 또는 티타늄 텅스텐 나이트라이드를 티타늄막(7)상에 증착할 수 있다.

본 발명에 의한 실시예에서는, 상기 티타늄막(7), 제1 및 제2 알루미늄합금(8,10), 및 1 구리막(9) 및 반사방지막(11)을 스퍼터링 방법으로 증착한다. 스퍼터링 방법에 의한 증착조건을 살펴보면, 증착온도는 150°C~350°C, 압력은 7mTorr이하, 가열시간은 30초 ~ 120초, 전력은 5 kw ~ 20 kw에서 진행하고, 작용가스로는 아르곤 또는 질소 또는 헬륨이 사용된다. 이때, 제1 및 제2 알루미늄 합금(8,10) 및 제 1 구리막(9)은 진공단절없이 연속적으로 증착된다.

상기 제1 및 제2 알루미늄 합금막(8),(10)에는 힐락이 형성되는 것을 완화시키기 위해 실리콘(Si)이 2 wt% 미만함유되며, 소자의 특성을 살리기 위해 기타의 불순물은 5wt% 이내로 함유된다.

다음으로 반사방지막(11)을 증착한 후 감광막(12)을 도포후 통상의 사진식각공정을 통해 상기 티타늄막(7), 제1 알루미늄 합금(8), 구리막(9), 제2 알루미늄 합금(10) 및 반사방지막(11)을 식각하여 하부 금속배선을 형성한다.

도1C에 도시된 바와 같이, 하부금속배선을 포함한 절연막(3)상에 산화막과 같은 절연막(13)을 증착한 후 상기 하부 금속배선상부의 절연막(13)을 식각하여 비아홀(200)을 형성한다.

도 1A와 동일하게 공정을 진행하여, 배리어막으로서 티타늄막(14), 확산방지막으로서 티타늄나이트라이드막(15), 및 알루미늄 합금과 같은 금속막(16)을 증착한 다음 전면식각하여 비아홀(200)내에만 상기 티타늄막(14), 티타늄나이트라이드막(15) 및 금속막(16)을 매립한다.

이어서, 배리어막인 티타늄막(17), 제3 알루미늄 합금(18), 제2 구리막(19), 제4 알루미늄 합금(20) 및 반사방지막(21)을 순차 증착한다. 이 때, 증착조건은 도 1B에서와 동일하다.

여기서 배리어막인 티타늄막(17)상에 확산방지막으로 티타늄나이트라이드, 텅스텐 나이트라이드 또는 티타늄텅스텐을 추가로 증착할 수도 있다.

상기 반사방지막(21)상에 감광막(22)을 도포하고, 통상의 사진식각공정을 통해 상기 티타늄막(17), 제 3 알루미늄 합금(18), 제 2 구리막(19), 제 4 알루미늄 합금(20) 및 반사방지막(21)을 식각한다. 이로써, 비아홀(200)을 통해 하부금속배선과 접촉되는 상부금속배선이 형성되어 다층금속배선이 형성된다.

상기의 실시예에서는 2층의 알루미늄 합금막사이에 단층의 구리막이 형성된 구조에 대하여 설명했으나, 다층의 알루미늄 합금막 사이에 다수의 구리막을 교대로 형성할 수도 있다.

## 발명의 효과

상기 실시예에 의하면, 알루미늄 또는 알루미늄 합금막 사이에 구리막을 형성시킴으로써 EM에 대한 내구성을 향상시키고, 또한 튜브형로에서의 열처리공정을 생략하여 휨락의 형성을 방지할 수 있다.

아울러 상기 실시예에 의하면 금속배선의 플로우 특성을 향상시키기 위해 실시되는 열처리는 생략되지만, 후속되는 금속배선의 적층공정에서 제공되는 열로 플로우 특성을 충분히 보상시킬 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

### (57)청구의 범위

#### 청구항1

상부에 제 1 절연층이 형성된 반도체 기판을 제공하는 단계; 상기 제 1 절연층상에 제 1 금속막 사이에 제 2 금속막이 위치하도록 다층의 제 1 금속막과 제 2 금속막을 교대로 적층형성하는 단계;상기 적층의 제 1 금속막과 제 2 금속막을 식각하여 하부 금속배선을 형성하는 단계;상기 하부 금속배선을 포함한 제 1 절연층상에 제 2 절연층을 형성하는 단계;상기 하부 금속배선 상부의 제 2 절연층을 식각하여 비어홀을 형성하는 단계;비아홀내에 배리어막, 확산방지막 및 제 3 금속막을 매립하는 단계;기판 전면에 제 4 금속막사이에 제 5 금속막이 위치하도록 다층의 제 4 금속막과 제 5 금속막을 교대로 적층하는 단계와;상기 적층의 제 4 금속막과 제 5 금속막을 식각하여 상기 비어홀을 통해 하부 금속배선과 접촉하는 상부 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항2

제 1 항에 있어서, 상기 제 1 금속막과 제 2 금속막은 진공단절 없이 스퍼터링 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항3

제 2 항에 있어서, 상기 스퍼터링 공정온도는 150℃ 내지 350℃ 사이, 상기 스퍼터링 공정의 가열시간은 30초 내지 120초 사이, 상기 스퍼터링 공정압력은 7mTorr 이하인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항4

제 2 항에 있어서, 스퍼터링 작용가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 또는 헬륨(He)중 하나인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항5

제 1 항에 있어서, 상기 제 1 금속막은 실리콘(Si)을 2wt%미만 함유하고, 실리콘 이외의 물질은 5wt% 이내로 함유하며, 그 두께는 2000 Å 내지 10000 Å 사이이에 형성된 알루미늄합금인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항6

제 1 항에 있어서, 상기 제 2 금속막은 구리인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항7

제 6 항에 있어서, 상기 제 2 금속막인 구리는 상기 제 1 금속막보다 두께가 얇은 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항8

제 1 항에 있어서, 상기 제 1 금속막과 제 2 금속막의 형성단계 이전에 반도체 기판에 배리어막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항9

제 8 항에 있어서, 상기 배리어막은 티타늄인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항10**

제 9 항에 있어서, 상기 티타늄의 두께는 200 Å 내지 1000 Å 사이인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항11**

제 8 항에 있어서, 상기 배리어막위에 확산방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 적층구조의 금속배선 형성방법.

**청구항12**

제 11 항에 있어서, 상기 확산방지막은 티타늄나이트라이드 또는 텅스텐나이트라이드 또는 티타늄텅스텐중 하나인 것을 특징으로 하는 적층구조의 금속배선 형성방법.

**청구항13**

제 1 항에 있어서, 상기 제 1 금속막과 제 2 금속막의 식각 단계 이전에 반도체 기판상에 반사방지막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항14**

제 13 항에 있어서, 상기 반사방지막의 두께는 200 Å 내지 1000 Å 사이에 형성하는 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항15**

제 1 항에 있어서, 상기 제 1 및 제 2 절연막은 산화막인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항16**

제 1 항에 있어서, 상기 제 4 금속막은 실리콘(Si)을 2wt%미만 함유하고, 실리콘 이외의 물질은 5wt% 이내로 함유하며, 그 두께는 2000 Å 내지 10000 Å 사이이에 형성된 알루미늄합금인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항17**

제 1 항에 있어서, 상기 제 5 금속막은 구리인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항18**

제 17 항에 있어서, 상기 제 5 금속막인 구리는 상기 제 4 금속막보다 두께가 얇은 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항19**

제 1 항에 있어서, 상기 배리어막은 티타늄인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항20**

제 19 항에 있어서, 상기 티타늄의 두께는 200 Å 내지 1000 Å 사이인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

**청구항21**

제 1 항에 있어서, 상기 확산방지막은 티타늄나이트라이드 또는 텅스텐나이트라이드 또는 티타늄텅스텐중 하나인 것을 특징으로 하는 적층구조의 금속배선 형성방법.

**청구항22**

상부에 제 1 절연층이 형성된 반도체 기판과; 상기 제 1 절연층상에 제 1 금속막 사이에 제 2 금속막이 위치하는 다층의 제 1 금속막과 제 2 금속막이 교대로 적층형성된 하부금속배선과;상기 하부금속배선과 상기 제 1 절연층상에

형성된 비아홀을 포함하는 제 2 절연층과; 상기 비아홀 내부에 매립된 금속과; 상기 제 2 절연층상에 제 3 금속막 사이에 제 4 금속막이 위치하는 다층의 제 3 금속막과 제 4 금속막이 교대로 적층형성된 상부금속배선을 포함하는 반도체 소자의 다층금속배선.

#### 청구항23

제 22 항에 있어서, 상기 제 1 금속막은 실리콘(Si)을 2wt%미만 함유하고, 실리콘 이외의 물질은 5wt% 이내로 함유하며, 그 두께는 2000 Å 내지 10000 Å 사이이에 형성된 알루미늄합금인 것을 특징으로 하는 반도체 소자의 다층금속배선 형성방법.

#### 청구항24

제 22 항에 있어서, 제 2 금속막 및 제 4 금속막은 구리인 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항25

제 24 항에 있어서, 상기 제 2 및 제 4 금속막인 구리는 상기 제 1 및 제 3 금속막보다 두께가 얇은 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항26

제 21 항에 있어서, 상기 비아홀 내측면 및 상기 제 2 절연층 상부에 배리어막이 형성된 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항27

제 26 항에 있어서, 상기 배리어막은 티타늄인 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항28

제 27 항에 있어서, 상기 티타늄의 두께는 200 Å 내지 1000 Å 사이인 것을 특징으로 하는 적층구조의 금속배선.

#### 청구항29

제 26 항에 있어서, 상기 비아홀 내측면에 형성된 배리어막 상부에 확산방지막이 형성된 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항30

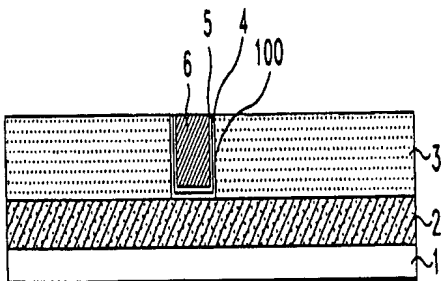
제 29 항에 있어서, 상기 확산방지막은 티타늄나이트라이드 또는 텅스텐나이트라이드 또는 텅스텐티타늄중 하나인 것을 특징으로 하는 반도체 소자의 다층금속배선.

#### 청구항31

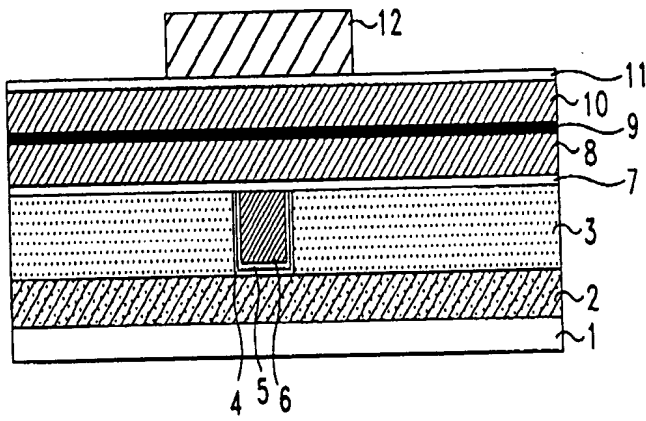
제 21 항에 있어서, 상기 비아홀에 매립된 금속은 알루미늄인 것을 특징으로 하는 반도체 소자의 다층금속배선.

도면

도면1a



도면1b



도면1c

